

ANEXO I

PROJETO DE BOLSA DE ENSINO

PROJETO INDIVIDUAL

PROJETO COLETIVO¹

Título do Projeto:	Desenvolvimento de práticas laboratoriais utilizando VHDL
Professor Responsável:	Marcos Marinovic Doro
Titulação do Professor:	Doutor
Número de bolsistas recomendado:	1
Carga horária semanal de dedicação do bolsista:	20 horas

Resumo:

VHDL ou "VHSIC Hardware Description Language" (Linguagem de Descrição de Hardware com ênfase em Circuitos Integrados de altíssima velocidade) é uma linguagem usada para facilitar o projeto e concepção de circuitos digitais. Um sistema descrito em VHDL pode ser implementado em um dispositivo programável. O projeto ganha portabilidade, já que pode ser compilado em qualquer ferramenta e para qualquer tecnologia. É comum, na indústria, o uso de FPGAs e CPLDs para produções iniciais ou de menores escalas em projetos que posteriormente possam ser implementados em ASICs. Todas as implementações podem usar o mesmo código VHDL.

O objetivo deste trabalho é a elaboração e execução de experimentos envolvendo simulação de circuitos digitais escritos a partir da Linguagem VHDL para serem aplicados durante as práticas de laboratório das disciplinas de Eletrônica Digital III dos cursos de Tecnologia em Automação Industrial e Engenharia de Controle e Automação Industrial. Este trabalho será desenvolvido utilizando um software de programação e simulação da Linguagem VHDL, está previsto a criação de um procedimento documentado com seus respectivos arquivos de simulação das práticas laboratoriais.

Duração em meses: 9 meses

Rol de disciplinas que o aluno esteja cursando ou tenha cursado com aproveitamento que o habilite a realizar as atividades previstas acima:

Disciplina	Curso
EDGA2	Tecnologia em Automação Industrial
EDGA3	Tecnologia em Automação Industrial
EDGE3	Engenharia de Controle e Automação
EDGE4	Engenharia de Controle e Automação

Público-alvo (beneficiários diretos e indiretos):

Alunos e professores do curso de Tecnologia em Automação Industrial e Engenharia de Controle e Automação.

¹ Portaria n.º 1.254/2013, Art. 5.º, §2.º - A Direção Geral do *Campus* e as coordenações de área/curso poderão propor projetos coletivos que envolvam mais de uma disciplina, indicando um professor responsável. §3.º Disciplinas com características semelhantes em cursos diferentes poderão ser incluídas em um único projeto coletivo.

Resultados esperados e contribuições para a área:

- Levantamento das ferramentas e softwares de simulação disponíveis para desenvolvimento e simulação da linguagem VHDL;
- Projeto de circuitos digitais utilizando a linguagem VHDL;
- Arquivos do software de desenvolvimento de VHDL com suas respectivas simulações;
- Apostila de prática contendo procedimento e simulações de circuitos digitais em VHDL .

Cronograma de execução (detalhar mês a mês):

- Estudo do software Proteus e coleta de referência dos diferentes tipos de circuitos integrados referentes ao conteúdo da disciplina – 1º mês
- Elaboração do experimento e simulação em VHDL envolvendo Portas Lógicas – 2º mês
- Elaboração do experimento e simulação em VHDL envolvendo Codificadores e decodificadores – 4º mês
- Elaboração do experimento e simulação em VHDL envolvendo Mux e Demux – 5º mês
- Elaboração do experimento e simulação em VHDL envolvendo Contadores – 6º mês
- Elaboração do experimento e simulação em VHDL envolvendo Registradores de deslocamento – 7º mês
- Elaboração do experimento e simulação em VHDL envolvendo ULA – 8º mês
- Elaboração do experimento e simulação envolvendo Memórias Semicondutoras – 9º mês

Viabilidade:

O desenvolvimento do trabalho acontecerá nos laboratórios de Eletrônica Digital do Instituto Federal de São Paulo - Campus Cubatão e será utilizada a infraestrutura existente bem como os softwares disponíveis no Campus.

Cubatão, 28 , de novembro de 2018.



Professor Responsável