

ANEXO I

PROJETO DE BOLSA DE ENSINO

PROJETO INDIVIDUAL

PROJETO COLETIVO¹

Título do Projeto:	Desenvolvimento de práticas de laboratório para disciplina de Eletrônica Digital
Professor Responsável:	Marcos Marinovic Doro
Titulação do Professor:	Doutor
Número de bolsistas recomendado:	1
Carga horária semanal de dedicação do bolsista:	20 horas

Resumo:

O presente trabalho visa a elaboração e execução de experimentos práticos envolvendo simulação de circuitos digitais escritos a partir da Linguagem VHDL para serem aplicados durante as aulas de laboratório das disciplinas de Eletrônica Digital III dos cursos de Tecnologia em Automação Industrial e Engenharia de Controle e Automação Industrial. Este trabalho será desenvolvido utilizando um software de programação e simulação da Linguagem VHDL, está previsto a criação de um procedimento documentado com seus respectivos arquivos de simulação das práticas laboratoriais.

Duração em meses: 9 meses

Rol de disciplinas que o aluno esteja cursando ou tenha cursado com aproveitamento que o habilite a realizar as atividades previstas acima:

Disciplina	Curso
EDGA2	Tecnologia em Automação Industrial
EDGA3	Tecnologia em Automação Industrial
EDGE3	Engenharia de Controle e Automação
EDGE4	Engenharia de Controle e Automação

Público-alvo (beneficiários diretos e indiretos):

Alunos e professores do curso de Tecnologia em Automação Industrial e Engenharia de Controle e Automação.

¹ Portaria n.º 1.254/2013, Art. 5.º, §2.º - A Direção Geral do *Campus* e as coordenações de área/curso poderão propor projetos coletivos que envolvam mais de uma disciplina, indicando um professor responsável. §3.º Disciplinas com características semelhantes em cursos diferentes poderão ser incluídas em um único projeto coletivo.

Resultados esperados e contribuições para a área:

- Projeto de circuitos digitais utilizando a linguagem VHDL;
- Arquivos do software de desenvolvimento de VHDL com suas respectivas simulações;
- Apostila de prática contendo procedimento e simulações de circuitos digitais em VHDL

Cronograma de execução (detalhar mês a mês):

	Mês 1	Mês 2	Mês 3	Mês 4	Mês 5	Mês 6	Mês 7	Mês 8	Mês 9
Revisão Bibliográfica									
Definição das práticas									
Testes e avaliações									
Redação da apostila									
Relatório final									

Viabilidade:

O desenvolvimento do trabalho acontecerá nos laboratórios de Eletrônica Digital do Instituto Federal de São Paulo Campus Cubatão e será utilizada a infraestrutura existente bem como os softwares disponíveis no Campus.

Cubatão, 30 , de novembro de 2019.

Marcos Marinho Neto

Professor Responsável